

**Docket No.: 2336-213**

**PATENT**

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Application of :  
Dong Joon KIM et al. :  
U.S. Patent Application No. *Not yet assigned* : Group Art Unit: *Not yet assigned*  
Filed: *Herewith* : Examiner: *Not yet assigned*  
For: METHOD FOR MANUFACTURING SEMICONDUCTOR LASER DEVICE

**CLAIM OF PRIORITY AND**  
**TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Commissioner for Patents  
P.O. Box 1450  
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicant hereby claims, in the present application, the priority of *Korean Patent Application No. 2003-40961, filed June 24, 2003*. The certified copy is submitted herewith.

Respectfully submitted,

**LOWE HAUPTMAN GILMAN & BERNER, LLP**

  
Benjamin J. Hauptman  
Registration No. 29,310

1700 Diagonal Road, Suite 310  
Alexandria, Virginia 22314  
(703) 684-1111 BJH/etp  
Facsimile: (703) 518-5499  
**Date: October 22, 2003**



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0040961  
Application Number

출원 년 월 일 : 2003년 06월 24일  
Date of Application JUN 24, 2003

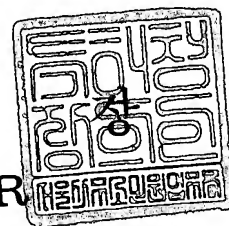
출원인 : 삼성전기주식회사  
Applicant(s) SAMSUNG ELECTRO-MECHANICS CO., LTD.



2003 년 09 월 26 일

특 허 청

COMMISSIONER



## 【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2003.06.24
【국제특허분류】	H01L 21/00
【발명의 명칭】	반도체 레이저의 제조방법
【발명의 영문명칭】	METHOD OF PRODUCING A SEMICONDUCTOR LASER DEVICE
【출원인】	
【명칭】	삼성전기 주식회사
【출원인코드】	1-1998-001806-4
【대리인】	
【성명】	손원
【대리인코드】	9-1998-000281-5
【포괄위임등록번호】	2002-047982-8
【대리인】	
【성명】	노세호
【대리인코드】	9-2001-000043-1
【포괄위임등록번호】	2002-047988-1
【발명자】	
【성명의 국문표기】	김동준
【성명의 영문표기】	KIM,Dong Joon
【주민등록번호】	730523-1055311
【우편번호】	135-270
【주소】	서울특별시 강남구 도곡동 91-5 도곡삼성래미안 109-1604
【국적】	KR
【발명자】	
【성명의 국문표기】	문병득
【성명의 영문표기】	MOON,Byung Deuk
【주민등록번호】	710429-1094917

【우편번호】 442-470  
【주소】 경기도 수원시 팔달구 영통동 1029-6 301호  
【국적】 KR  
【발명자】  
【성명의 국문표기】 한상헌  
【성명의 영문표기】 HAN, Sang Heon  
【주민등록번호】 740430-1674413  
【우편번호】 442-802  
【주소】 경기도 수원시 팔달구 매탄4동 200-51 302호  
【국적】 KR  
【심사청구】 청구  
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인  
손원 (인) 대리인  
노세호 (인)  
【수수료】  
【기본출원료】 19 면 29,000 원  
【가산출원료】 0 면 0 원  
【우선권주장료】 0 건 0 원  
【심사청구료】 6 항 301,000 원  
【합계】 330,000 원  
【첨부서류】 1. 요약서·명세서(도면)\_1통

## 【요약서】

## 【요약】

본 발명은 반도체 레이저의 제조방법에 관한 것으로, 제1 도전형 반도체 기판 상에 제1 도전형 클래드층, 활성층 및, 제2 도전형 클래드층을 순차적으로 형성하는 단계와, 상기 제2 도전형 클래드층을 선택적으로 에칭하여 리지구조를 형성하는 단계와, 상기 리지구조 주위에 전류차단층을 형성하는 단계 - 이로써 상기 전류차단층 상면은 용기부를 형성하며, 그 일부영역에는 비정질 및/또는 다결정층이 형성됨-와, 상기 전류차단층로부터 적어도 비정질 및/또는 다결정층이 제거되고 상기 용기부의 크기가 감소되도록 상기 전류차단층 상면을 습식에칭하는 단계와, 상기 전류차단층 상면에 제2 도전형 콘택층을 형성하는 단계를 포함하는 반도체 레이저 제조방법을 제공한다.

본 발명에 따르면, 리지구조로 인한 전류차단층의 불량한 표면상태를 개선함으로써 제2 도전형 캡층의 결정성 및 표면상태를 향상시키고, 전극접합불량을 최소화할 수 있다는 효과가 있다.

## 【대표도】

도 2

## 【색인어】

반도체 레이저(semiconductor laser), 리지(ridge), 비결정질층(amorphous layer), 다결정층(polycrystalal layer)

## 【명세서】

## 【발명의 명칭】

반도체 레이저의 제조방법 {METHOD OF PRODUCING A SEMICONDUCTOR LASER DEVICE}

## 【도면의 간단한 설명】

도1a은 종래의 반도체 레이저의 구조를 나타내는 사시도이다.

도1b는 종래의 반도체 레이저의 단면을 촬영한 사진이다.

도2a 내지 2e는 본 발명에 따른 반도체 레이저 제조방법을 설명하기 위한 공정단면도이다.

도3a는 본 발명의 방법에 따라 제조된 반도체 레이저의 구조를 나타내는 사시도이다.

도3b는 본 발명의 방법에 따라 제조된 반도체 레이저의 단면을 촬영한 사진이다.

## &lt;도면의 주요부분에 대한 부호설명&gt;

41: 제1 도전형 기판    42: 제1 도전형 클래드층

43: MQW 활성층    44: 제2 도전형 클래드층

45: 제2 도전형 캡층    47: 유전체 마스크

48: 제1 도전형 전류차단층    49: 제2 도전형 콘택층

**【발명의 상세한 설명】****【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<11> 본 발명은 반도체 레이저의 제조방법에 관한 것으로, 보다 상세하게는 전류차단층 상부의 용기부와 그 표면 일부에 형성된 비정질 또는 다결정층에 의해 후속공정에서 야기될 수 있는 여러 형태의 불량을 예방할 수 있는 반도체 레이저의 제조방법에 관한 것이다.

<12> 최근에, 반도체 레이저 다이오드는 CD나 DVD 등의 광디스크시스템의 광픽업장치를 위한 광원으로 뿐만 아니라, 광통신, 다중통신, 우주통신 등의 다양한 분야에 광범위하게 적용되고 있다. 이와 같이 다양한 분야에서 각광을 받는 이유는 반도체 레이저 다이오드에서 발진되는 레이저광이 좁은 주파수폭(단파장특성)과, 높은 지향성을 가지며, 고출력이 보장되기 때문이다.

<13> 일반적으로, 반도체 레이저 소자는 전류주입효율을 향상시키기 위해 선택적 매립형 리지(Selectively Buried Ridge: SBR) 구조를 갖는 p형 클래드층을 채용한다. 도1a 및 도1b는 종래의 반도체 레이저 다이오드 구조를 예시되어 있다.

<14> 도1a에 도시된 바와 같이, 상기 반도체 레이저 소자(20)는, 하면에 제1 전극(21)이 형성된 기판(11) 상에 제1 도전형 클래드층(12), 다중 양자우물구조(Multi-Quantum Well)를 갖는

활성층(13), 리지구조가 형성된 제2 도전형 클래드층(14), 리지 상면에 형성된 캡층(15)을 포함한다.

<15> 또한, 리지 주위의 제2 도전형 클래드층(20) 상면에는 제1 도전형 물질로 이루어진 전류 차단층(Current Blocking Layer: 18)이 형성되고, 상기 캡층(15)과 상기 전류차단층(18) 상에는 콘택층(19)과 제2 전극(22)이 차례로 형성된다. 이러한 결정구조 중 일부층(예를 들어, 기판(11)과 제1 도전형 클래드층(12))사이에는 격자정합을 위해 적절한 버퍼층(미도시)을 추가적으로 형성될 수 있다.

<16> 보다 구체적으로, DVD 재생 등에 주로 사용되는 650nm파장의 레이저광을 발진하는 반도체 레이저 소자의 경우에는, 기판(11)으로는 n형 GaAs기판이 사용되며, 제1 도전형 클래드층(12) 및 제2 도전형 클래드층(14)은 각각 n형 AlGaInP층과 p형 AlGaInP층으로 형성된다. 또한, 상기 활성층(13)은 발진파장 650nm의 다중양자우물구조를 갖도록 형성되며, 캡층(15)은 p형 GaAs층으로 형성된다.

<17> 상기 캡층(15)의 전류주입영역에 SiO<sub>2</sub> 등과 같은 물질의 마스크(미도시)를 형성한 후에, 캡층(15)과 제2 도전형 클래드층(14)에 대해 습식에칭공정을 실시하여 도1a과 같은 리지구조를 형성할 수 있다. 이러한 습식에칭공정에서 활성층(13)이 손상되는 것을 방지하기 위해 제2 도전형 클래드층(14)의 소정 깊이 에 에칭정지층(미도시)을 추가적으로 구비할 수 있다.



- <18> 이어, 마스크를 제거한 후에, 전류차단층(18)으로 제2 도전형 클래드층(14)과 다른 도전형의 불순물로 도핑된 n형 GaAs층을 형성하고, p형 GaAs 콘택층(19)과 제2 전극(22)을 차례로 형성하여 도1a와 같은 반도체 레이저 소자를 완성할 수 있다.
- <19> 하지만, 전류차단층 형성공정에서, 전류차단층(18)은 제2 도전형 클래드층의 리지측벽을 따라 형성되므로, 그 상면은 그 전체면을 따라 소정의 경사를 갖는 용기부(A)가 형성된다. 특히, 상기 전류차단층(18)의 용기부(A)는 거의 전면적에 걸쳐 형성되어 그 크기가 클 뿐만 아니라, 유전체 마스크 상과 유전체 마스크 및 전류차단층(18)의 계면에 비결정질 또는 다결정층이 발생하게 된다.
- <20> 따라서, 상기 전류차단층(18)의 용기부(A)와 그 일부 영역에 형성된 비결정질 또는 다결정층으로 인해 그 상부에 형성될 p형 GaAs 콘택층(19)의 결정성장에 원하지 않는 영향을 받을 수 있다. 그 영향으로 인해, p형 GaAs 콘택층(19) 상부에 V자 홈(B)이 형성된다.
- <21> 도1b는 종래의 방법으로 제조된 반도체 레이저 소자의 단면을 촬영한 사진이다. 도1b에 도시된 바와 같이, 전류차단층 상의 일부영역에 형성된 비결정질 또는 다결정층과 용기부(A)는 p형 GaAs콘택층의 불량한 표면상태(B)를 발생시키고, 그 상면에 형성된 전극도 굴곡된 형상을 갖게 되어 접합이 불량해지거나 심각한 경우에는 절단될 수 있다.
- <22> 이와 같이, 전류차단층의 표면상태와 그 상면에 형성된 비결정질 또는 다결정층에 의해 형성되는 V자 홈(B)은 후속가공공정에서 심각한 불량을 야기할 수 있다. 예를 들어, 오믹콘택

을 위한 전극형성공정에서는 금속물질이 표면전체에 형성되지 못하여 원하는 전극이 형성되지 않을 수 있으며, 칩 클리빙(chip cleaving)공정에서 칩 상면에 크랙이 발생하는 문제가 있다.

【발명이 이루고자 하는 기술적 과제】

<23> 본 발명은 상술한 종래 기술의 문제를 해결하기 위한 것으로서, 그 목적은 리지구조로 인해 형성된 전류차단층의 용기부와 그 용기부의 일부영역에 형성된 비정질 및/또는 다결정층으로 인한 문제를 해결하고, 이로써 콘택층의 결정성 및 표면상태를 향상시킬 수 있는 반도체 레이저 소자 제조방법을 제공하는데 있다.

【발명의 구성 및 작용】

<24> 상기한 기술적 과제를 달성하기 위해서, 본 발명은

<25> 제1 도전형 반도체 기판 상에 제1 도전형 클래드층, 활성층 및, 제2 도전형 클래드층을 순차적으로 형성하는 단계와, 상기 제2 도전형 클래드층을 선택적으로 에칭하여 리지구조를 형성하는 단계와, 상기 리지구조 주위에 전류차단층을 형성하는 단계 - 상기 전류차단층 상면은 용기부를 형성하며, 그 일부영역에는 비정질 및/또는 다결정층이 형성됨 - 와, 상기 전류차단층로부터 적어도 비정질 및/또는 다결정층이 제거되고 상기 용기부가 감소되도록 상기 전류차단층 상면을 습식에칭하는 단계와, 상기 전류차단층 상면에 제2 도전형 콘택층을 형성하는 단계를 포함하는 반도체 레이저 소자의 제조방법을 제공한다.

- <26>      상기 습식에칭단계를 실시할 때에 비정질 및/또는 다결정층이 제거되고 용기부가 감소되는 효과를 보다 향상시키기 위해서, 상기 제2 도전형 클래드층의 상면은 {100}면이며, 상기 용기부의 경사면은 거의 {111}면인 것이 바람직하다.
- <27>      또한, 상기 리지구조를 형성하는 단계는, 상기 제2 도전형 클래드층의 상면 일부에 마스크를 형성하는 단계와, 상기 마스크가 형성된 부분에 리지가 형성되도록 상기 제2 도전형 클래드층을 에칭하는 단계로 구현될 수 있다. 이 경우에, 상기 전류차단층 상면을 습식에칭하는 단계는, 상기 마스크를 제거한 후에 상기 전류차단층 상면을 습식에칭하는 단계일 수 있다.
- <28>      본 발명의 구체적인 실시형태에서, 상기 전류차단층은 제1 도전형 AlGaAs/GaAs물질로 이루어질 수 있다. 본 실시형태에서 상기 전류차단층 상면을 습식에칭하는 단계는, EG계 에천트를 이용하여 실시되는 것이 바람직하다.
- <29>      통상적인 반도체 레이저의 제조방법은 3차에 걸친 성장공정으로 이루어진다. 1차 성장공정에서는 제1 도전형 클래드층, 활성층 및 제2 도전형 클래드층을 순차적으로 성장하는 공정을 실시한다. 1차 성장공정 후에 리지구조를 형성하기 위해 유전체 마스크를 이용하여 제2 도전형 클래드층을 선택적 에칭을 실시한다. 이어 2차 성장공정으로서, 제1 도전형 반도체 물질로 전류차단층을 형성하는 공정을 실시하고, 유전체 마스크를 제거한 후에 다시 제2 도전형 콘택층을 형성하는 3차 성장공정을 실시한다.

- <30> 여기서, 앞서 설명한 바와 같이 2차 성장공정 때에 형성되는 전류차단층의 상면은 리지 구조의 측면을 따라 전체적으로 경사진 용기부가 형성되며, 그 용기부의 일부영역, 즉 마스크와의 계면에는 비정질 또는 다결정층이 형성되므로, 상기 용기부는 3차 성장공정에서 형성되는 제2 도전형 콘택층의 결정성장에 악영향을 주게 된다. 결국, 이러한 문제는 후속공정에서 형성되는 전극접속 불량 및 칩 클리빙공정에서 소자의 파손을 야기하는 주요한 원인이 된다.
- <31> 본 발명은 이러한 문제를 해결하기 위해 2차성장공정과 3차공성장공정 사이에 전류차단층 표면에 대한 습식에칭공정을 도입하는 방안을 제공한다. 본 발명의 습식에칭공정에 따르면, 후속 결정성장에 악영향을 주는 비정질 및 다결정층이 제거될 뿐만 아니라 용기부의 크기를 감소시킴으로써 양호한 결정성 및 표면상태를 갖는 제2 도전형 콘택층을 형성할 수 있다.
- <32> 이하, 첨부된 도면을 참조하여 본 발명을 보다 상세히 설명하기로 한다.
- <33> 도2a 내지 도2e는 본 발명의 반도체 레이저 소자의 제조방법을 설명하기 위한 공정단면도이다.
- <34> 우선, 도2a와 같이 제1 도전형 반도체 기판(41) 상에 제1 도전형 클래드층(42), 활성층(43) 및, 제2 도전형 클래드층(44)을 순차적으로 형성한다. 또한, 상기 제2 도전형 클래드층(44) 상에 본 실시형태와 같이 추가적으로 제2 도전형 캡층(45)을 형성할 수 있다.
- <35> 예를 들어, 780nm 발진파장을 갖는 반도체 레이저를 형성하기 위해서, 상기 제1 도전형 반도체 기판(41)은 n형 GaAs기판일 수 있으며, 상기 제1 도전형 클래드층(42) 및 상기 제2 도

전형 클래드층(44)은 각각 n형 AlGaAs층과 p형 AlGaAs층으로 형성될 수 있다. 또한, 상기 활성층(43)은 다중양자우물구조(Multi-Quantum Well)를 갖는 언도프 AlGaAs층으로 형성될 수 있으며, 상기 캡층(45)은 p형 GaAs층으로 형성될 수 있다.

<36> 이어, 도2b와 같이 상기 제2 도전형 클래드층(44)과 캡층(45)을 선택적으로 에칭하여 리지구조를 형성한다. 도2b에 도시된 리지구조는 SiO<sub>2</sub> 또는 SiN과 같은 유전체물질로 이루어진 마스크(47)를 상기 캡층(45)의 리지형성영역에 배치하고, 에칭을 실시함으로써 형성될 수 있다. 이러한 리지형성을 위한 에칭공정에서 활성층(43)을 보호하기 위해서 도2a에 공정에서 에칭 정지층(미도시)을 제2 도전형 클래드층(44)의 소정의 위치에 형성할 수 있다.

<37> 다음으로, 도2c와 같이 상기 리지구조 주위의 상기 제2 도전형 클래드층(44) 상면에 전류차단층(47)을 형성한다. 상기 전류차단층(47)은 제1 도전형 반도체 물질로서, n형 AlGaAs/GaAs물질로 형성될 수 있으며, 이외에도 GaAs, AlGaAs, AlInP물질 단독 또는 그 조합된 물질로 형성될 수 있다. 여기서, 상기 전류차단층(47)은 리지구조의 측벽에 따라 형성되므로 리지와 인접한 부분이 돌출된 융기부(A)를 형성한다.

<38> 하지만, 상기 리지형상과 유전체 마스크에 의한 영향으로 그 융기부(A)의 일부영역(특히, 마스크와의 계면부근)에는 비정질 및/또는 다결정층이 발생된다. 이러한 융기부, 특히 비정질 및/또는 다결정층이 형성된 부분은 그 위에 성장될 제2 도전형 콘택층의 특성에 악영향을 줄 수 있다. 따라서, 전류차단층형성공정에 이어서 상기 비정질 또는 다결정층이 형성된 융기부를 제거하기 위한 공정을 요구된다.

- <39> 도2d에는 습식에칭공정을 통해 비정질 및/또는 다결정층이 제거되고 상기 용기부가 감소된 상기 전류차단층(48')이 도시되어 있다. 이와 같이, 전류차단층(48) 상면에 습식에칭공정을 적용함으로써 에칭적용 전 상태(점선으로 표시됨)에 비해 우수한 표면상태와 결정성을 갖는 제2 도전형 콘택층을 형성하기 위한 표면조건을 형성한다. 이러한 에칭공정에서 사용될 수 있는 에천트로서는, AlGaAs/GaAs계 반도체물질일 때에는 EG계( $\text{H}_2\text{SO}_4$  :  $\text{H}_2\text{O}_2$  : 에틸렌 글리콜) 에천트가 있을 수 있다.
- <40> 하지만, 본 발명에서 사용될 수 있는 에천트는 이에 한정되지 않으며, AlGaAs/GaAs반도체물질을 산화시킨 후에 이를 식각할 수 있는 메카니즘으로 작용하는 공지의 에천트도 본 발명에 적절하게 채용될 수 있다.
- <41> 이와 같이, 본 에칭공정에서 전류차단층으로부터 비결정질 및 다결정층이 제거되는 동시에, 용기부(A)가 감소되므로, 전류차단층의 평탄한 표면을 얻을 수 있다. 이러한 에칭효과는 전류차단층(48)의 결정방향에 의한 영향이 큰 것으로 이해될 수 있다. 즉, 전류차단층을 형성하는 AlGaAs/GaAs와 같은 반도체결정은 일반적으로 {100}면에 비해 {111}면이 에칭속도가 크기 때문인 것으로 이해될 수 있다.
- <42> 따라서, 본 에칭효과를 극대화시키기 위해 전류차단층을 그 상면이 {100}면이 되고 경사면이 거의 {111}면을 갖도록 성장시키는 것이 바람직하다. 이로써, 본 발명의 전류차단층(48)에칭에 의해, {111}면에 가까운 경사진 부분은 보다 빠른 속도로 에칭되고, {100}면인 평탄한

상면은 느린 속도로 에칭되어, 용기부의 크기는 감소되고, 상기 전류차단층(48) 상면이 비교적 평탄화되는 효과를 극대화시킬 수 있다.

<43> 도2e와 같이, 상기 표면상태가 개선된 전류차단층(48') 상면에 제2 도전형 콘택층을 형성한다. 상기 제2 도전형 콘택층(49)은 p형 GaAs물질로 형성될 수 있다.

<44> 상기 제2 도전형 콘택층(49)은 우수한 결정성을 가지며 비교적 평탄해진 전류 차단층 상에 형성되므로, 종래의 방법에 비해 훨씬 우수한 결정과 표면상태를 가질 수 있다. 도2d의 에칭공정에서 비정질 및 다결정층이 제거되므로, 제2 도전형 콘택층(49)이 결정성이 향상될 뿐만 아니라, 전류차단층(48)의 불량한 결정성과 용기된 형상으로 인해 제2 도전형 콘택층(49)의 표면에 V자 홈이 발생하는 현상을 효과적으로 방지할 수 있다.

<45> 도2a 및 도2e에 예시된 제조공정은 바람직한 실시형태를 도시하여 설명한 것에 불과하다. 따라서, 당업자라면 본 발명의 기술적 사상의 범위 내에서 일부 단계를 변경하여 실시할 수 있을 것이다. 예를 들어, 도2d에서는 유전체 마스크(47)를 제거하지 않은 상태에서 전류차단층(48)에 대한 습식에칭공정을 실시한 것으로 설명하였으나, 이와 달리 전류차단층에 대한 습식에칭공정을 유전체마스크를 제거한 후에 실시할 수도 있다.

<46> 이와 같이, 제2 도전형 콘택층은 V자홈이 없는 비교적 평탄한 표면을 가질 수 있으므로, 후속공정에서 그 상면에 전극을 형성하는 경우에, 불량한 접합이 발생하는 문제를 해결할 수

있다. 또한, 칩 클리빙(chip cleaving)공정에서 소자 상면에 발생될 수 있는 크랙현상을 최소화시킬 수 있다.

<47> 도3a는 본 발명의 방법에 따라 제조된 반도체 레이저의 구조를 나타내는 사시도이다.

<48> 도3a를 참조하면, 상기 반도체 레이저 소자(70)는, 하면에 제1 전극(71)이 형성된 기판(61) 상에 제1 도전형 클래드층(62), 다중 양자우물구조(MQW)를 갖는 활성층(63), 리지구조가 형성된 제2 도전형 클래드층(64), 리지 상면에 형성된 캡층(65)을 포함한다. 또한, 리지 주위의 제2 도전형 클래드층(64) 상면에는 제1 도전형 물질로 이루어진 전류차단층(68)이 형성되고, 상기 캡층(65)과 상기 전류차단층(68) 상에는 제2 도전형 콘택층(69)과 제2 전극(72)이 차례로 형성된다.

<49> 본 발명의 방법으로 제조된 반도체 레이저 소자(70)는 상기 제2 도전형 캡층(65)과 제2 도전형 클래드층(64)의 리지구조의 측면에 따라 형성된 전류차단층(68)의 상면에 습식에칭을 실시함으로써 그 상면을 비교적 평탄하게 구현할 뿐만 아니라, 원하지 않는 비정질 및 다결정층을 제거할 수 있다.

<50> 따라서, 전류차단층(68)의 상면에 형성된 제2 도전형 콘택층(69)도 결정성이 향상되고, 나아가 평탄한 표면상태를 가질 수 있다. 즉, 도1a에 예시된 종래의 방법에 따른 반도체 레이저 소자의 제2 도전형 콘택층(19)과 같이 상면에 V자홈 같은 표면상태의 결함이 존재하지 않으



므로, 그 위에 형성되는 전극도 제2 도전형 콘택층(69)에 보다 견고하게 접합될 수 있으며, 부분적으로 단절되는 문제를 해결할 수 있다.

<51> 도3b는 본 발명의 방법에 따라 실제 제조된 반도체 레이저의 단면을 촬영한 사진이다. 도3b와 같이, 본 발명에 따른 반도체 레이저 소자는 전류차단층을 형성한 2차 성장공정 후에 전류차단층 표면에 대한 습식에칭공정을 통해서 비교적 평탄한 전극형성면을 가질 수 있다. 리지부 주위에 작은 용기부가 잔류하기는 하지만, 도1b와 비교할 때에, 그 크기가 대폭 감소되었을 뿐아니라, 그 용기부를 제외한 전체 평면이 평탄해진 것을 알 수 있다.

<52> 나아가, 전류차단층에 대한 에칭공정을 실시하기 전에 용기부보다 작은 크기로 감소되는 과정에서, 그 표면에서 존재하던 비정질 또는 다결정층이 제거되므로, 제2 도전형 콘택층의 결정성이 되면서 그 위에 형성된 전극도 양호한 상태로 형성될 수 있다는 것을 확인할 수 있었다.

<53> 본 발명은 상술한 실시형태 및 첨부된 도면에 의해 한정되는 것이 아니고, 첨부된 청구범위에 의해 한정하고자 하며, 청구범위에 기재된 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 다양한 형태의 치환, 변형 및 변경이 가능하다는 것은 당 기술분야의 통상의 지식을 가진 자에게는 자명할 것이다.

**【발명의 효과】**

<54>        상술한 바와 같이, 본 발명에 따르면, 리지구조로 인한 전류차단층의 불량한 표면에 습식에칭공정을 추가적으로 적용함으로써, 전류차단층 상부의 용기부와 그 표면 일부영역에 형성된 비결정질 또는 다결정층으로 비롯되는 오믹전극형성공정 및 클리빙공정시의 불량문제를 획기적으로 개선할 수 있다.

**【특허청구범위】****【청구항 1】**

제1 도전형 반도체 기판 상에 제1 도전형 클래드층, 활성층 및, 제2 도전형 클래드층을 순차적으로 형성하는 단계;

상기 제2 도전형 클래드층을 선택적으로 에칭하여 리지구조를 형성하는 단계;

상기 리지구조 주위에 전류차단층을 형성하는 단계 - 상기 전류차단층 상면은 용기부를 형성하며, 그 일부영역에는 비정질 및/또는 다결정층이 형성됨 - ;

상기 전류차단층로부터 적어도 비정질 및/또는 다결정층이 제거되고 상기 용기부의 크기가 감소되도록 상기 전류차단층 상면을 습식에칭하는 단계; 및

상기 전류차단층 상면에 제2 도전형 콘택층을 형성하는 단계를 포함하는 반도체 레이저 소자의 제조방법.

**【청구항 2】**

제1항에 있어서,

상기 제2 도전형 클래드층의 상면은 {100}면이며, 상기 용기부의 경사면은 거의 {111}면인 것을 특징으로 하는 반도체 레이저 소자의 제조방법.

**【청구항 3】**

제1항에 있어서,

상기 리지구조를 형성하는 단계는,

상기 제2 도전형 클래드층의 상면 일부에 마스크를 형성하는 단계와,

상기 마스크가 형성된 부분에 리지가 형성되도록 상기 제2 도전형 클래드층을 에칭하는 단계를 포함하는 것을 특징으로 하는 반도체 레이저 소자의 제조방법.

【청구항 4】

제3항에 있어서,

상기 전류차단층 상면을 습식에칭하는 단계는,

상기 마스크를 제거한 후에 상기 전류차단층 상면을 습식에칭하는 단계인 것을 특징으로 하는 반도체 레이저 소자의 제조방법.

【청구항 5】

제1항에 있어서,

상기 전류차단층은 제1 도전형 AlGaAs/GaAs물질로 이루어진 것을 특징으로 하는 반도체 레이저 소자의 제조방법.

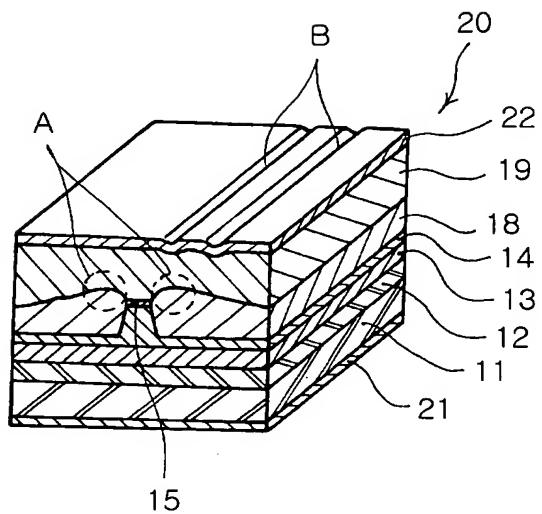
【청구항 6】

제5항에 있어서,

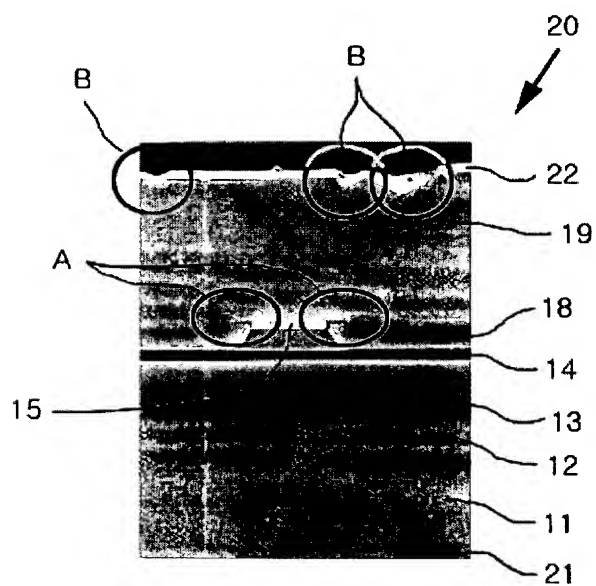
상기 전류차단층 상면을 습식에칭하는 단계는, EG계 에천트를 이용하여 에칭하는 단계인 것을 특징으로 하는 반도체 레이저 소자의 제조방법.

【도면】

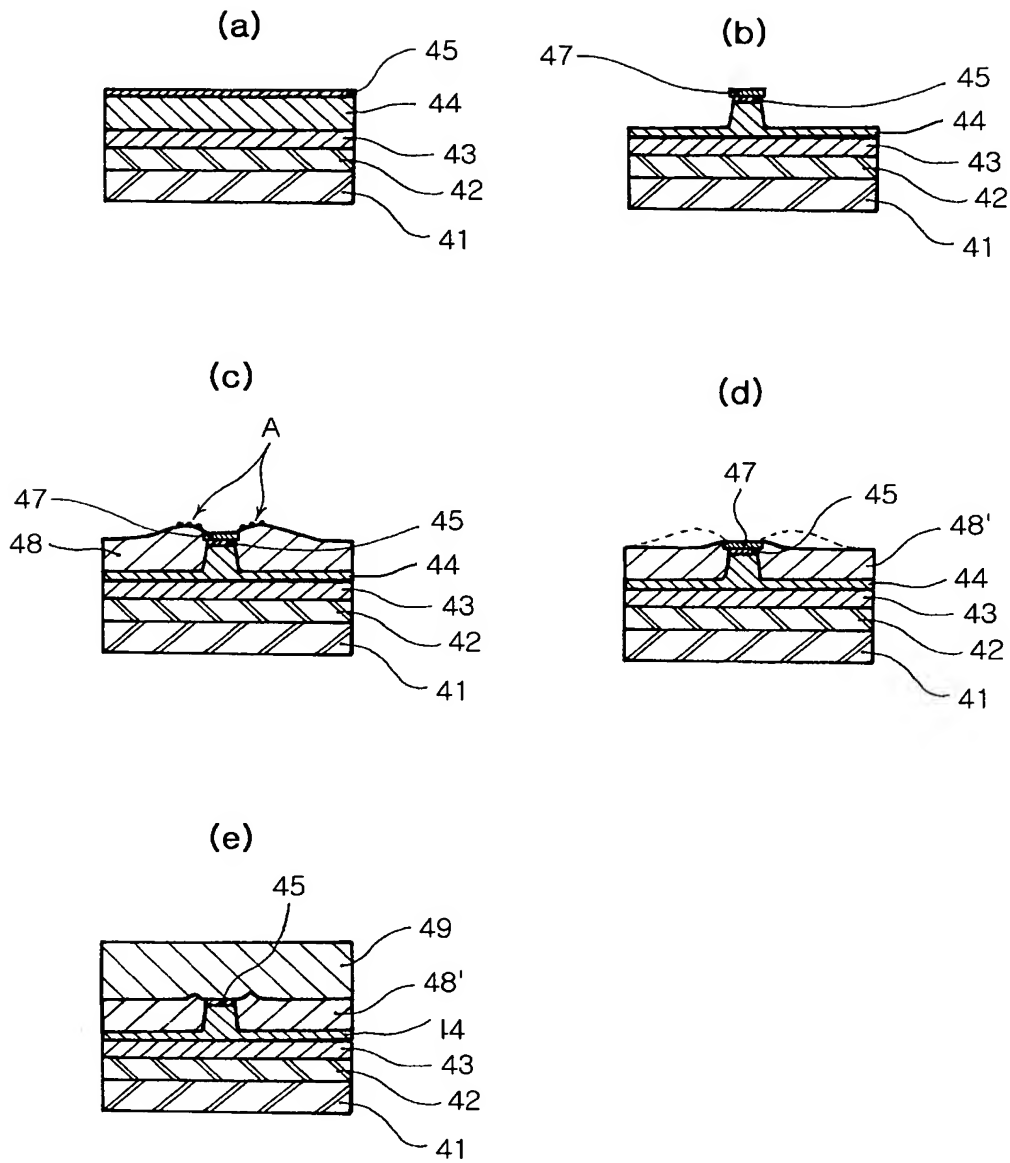
【도 1a】



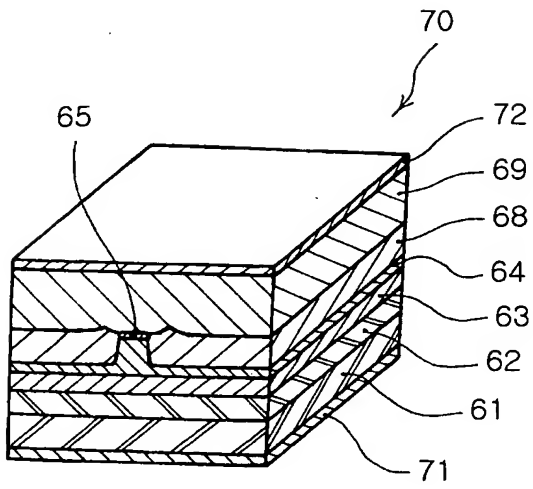
【도 1b】



【도 2】



【도 3a】



【도 3b】

